

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-246745

(43) 公開日 平成4年(1992)9月2日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	12/06	5 2 0	8841-5B	
	12/02	5 7 0	8841-5B	
	12/08	H	7232-5B	
	15/16	3 2 0 A	8840-5L	

審査請求 未請求 請求項の数5(全 7 頁)

(21) 出願番号 特願平3-11967

(22) 出願日 平成3年(1991)2月1日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 出井 克人

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 弁理士 大塚 康徳 (外1名)

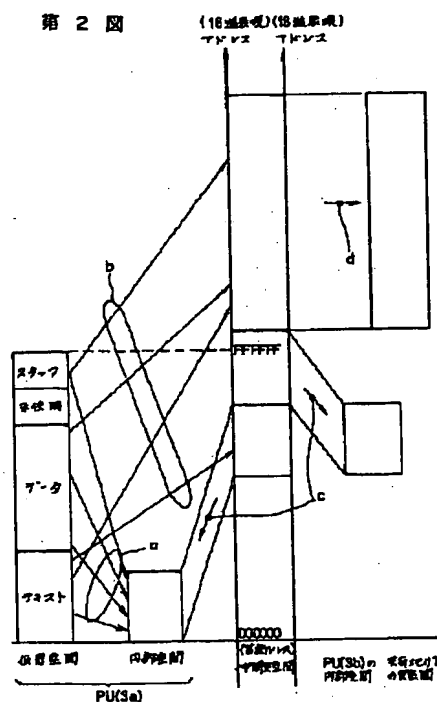
(54) 【発明の名称】 メモリアクセス方式

(57) 【要約】

【目的】 マルチプロセツサシステムにおいて、各プロセツサが他のプロセツサの固有メモリへのアクセスをシステム共通のアドレス空間を介して行う。

【構成】 マルチプロセツサシステムの各プロセツサから他のプロセツサの固有メモリに対するアクセスは、まずシステム共通のアドレス空間をなす中間実アドレスへアドレス変換を実行し、次に中間実アドレスから目的のメモリの実アドレスにアドレス変換を実行することによって行われる。

第 2 図



【特許請求の範囲】

【請求項1】 複数のプロセッサが共通の伝送媒体を介して接続されたシステムにおいて、前記複数のプロセッサ各々に当該プロセッサに前記伝送媒体を介さずに接続された固有記憶手段と、当該プロセッサからのアドレスを前記固有記憶手段にアクセスするためのアドレスに変換する第1のアドレス変換手段と、当該プロセッサからのアドレスを前記伝送媒体に送出するためのアドレスに変換するための第2のアドレス変換手段と、当該プロセッサからのアドレスを当該プロセッサの前記固有記憶手段にアクセスするためのアドレスに変換するための第3のアドレス変換手段とを設けたことを特徴とするメモリアクセス方式。

【請求項2】 前記システムに前記伝送媒体を介して前記複数のプロセッサに接続された共有記憶手段を設けたことを特徴とする請求項第1項に記載のメモリアクセス方式。

【請求項3】 前記共有記憶手段が前記伝送媒体からのアドレスにより直接アクセス可能であることを特徴とする請求項第2項に記載のメモリアクセス方式。

【請求項4】 前記システムに前記伝送媒体からのアドレスを前記共有記憶手段にアクセスするためのアドレスに変換するための第4のアドレス変換手段を設けたことを特徴とする請求項第2項に記載のメモリアクセス方式。

【請求項5】 前記システムに、前記伝送媒体を介して接続され、前記伝送媒体からのアドレスによりアクセス可能な入出力制御手段を設けたことを特徴とする請求項第1項に記載のメモリアクセス方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はメモリアクセス方式に関し、特に、マルチプロセッサシステムに使用されるメモリアクセス方式に関するものである。

【0002】

【従来の技術】 従来、マルチプロセッサシステム（以下、システムという）においては、全てのプロセッサからアクセスされる共有メモリを有する構成、また処理効率の向上のため共有メモリに加えて各プロセッサに付属する固有メモリを有する構成が一般的であった。この共有メモリには、1つの記憶装置に全てのメモリを集中配置する構成、各プロセッサに対応するよう複数の記憶装置に共有メモリを分散配置する構成、及びその中間形態とがあった。

【0003】

【発明が解決しようとする課題】 しかしながら、共有メモリを集中配置する構成のシステムでは、複数プロセッサからのメモリアクセス競合が発生し、バスネットワークあるいはメモリネットワークのために処理効率が低下するという問題が生じていた。この問題を解決するため、一般的には

各プロセッサに付属する固有メモリを追加したシステムが使用されているが、この固有メモリは他のプロセッサからアクセスすることができないため、共有データを固有メモリに格納することはできないという問題があった。仮に固有メモリに共有データを格納する場合、他のプロセッサに付属する固有メモリに存在する可能性のある共有データとの一貫性保持のために、プロセッサ間通信を頻繁に行わねばならず、そのためにシステムに余分な負荷がかかるという別の問題が生じていた。

【0004】 さらに共有メモリを分散配置する構成の場合、プロセッサとメモリを対として1つの単位（以下、PUという）とする場合が多く、PUごとにユニット番号（以下、PU-IDという）を設け、PU間でメモリアドレスの競合が発生しないようPU-IDとPU内のメモリアドレスからシステムの共有メモリアドレスを決定していた。つまり、システム起動時にシステム構成に従って、共有メモリのアドレスがシステム全体で共通するアドレスとなるようにメモリ配置を行っていた。しかしながらこのようなシステム構成では、例えば、8PUのシステムでメモリ全体でアドレスを連続させる場合、1PUの故障により、物理メモリ空間上に歯抜けが生じってしまうのでシステムの再構成や再起動が必要となり、共有メモリ管理が複雑となる欠点があった。さらにまた、ディスク装置などの外部装置をシステムに接続し大量の情報の交換を行う場合はさらに複雑なメモリ管理が必要となっていた。

【0005】 本発明は上記従来例に鑑みてなされたもので、マルチプロセッサシステムにおいて、各プロセッサが他のプロセッサ固有のメモリをアクセス可能とし、外部装置や共有メモリとの間のアクセスをより効率的に行うことを可能とするメモリアクセス方式を提供することを目的とする。

【0006】

【課題を解決するための手段】 上記目的を達成するために本発明のメモリアクセス方式は以下の様な構成からなる。即ち、複数のプロセッサが共通の伝送媒体を介して接続されたシステムにおいて、前記複数のプロセッサ各々に当該プロセッサに前記伝送媒体を介さずに接続された固有記憶手段と、当該プロセッサからのアドレスを前記固有記憶手段にアクセスするためのアドレスに変換する第1のアドレス変換手段と、当該プロセッサからのアドレスを前記伝送媒体に送出するためのアドレスに変換するための第2のアドレス変換手段と、当該プロセッサからのアドレスを当該プロセッサの前記固有記憶手段にアクセスするためのアドレスに変換するための第3のアドレス変換手段とを設ける。

【0007】

【作用】 以上の構成により本発明によれば、各プロセッサは、第1のアドレス変換手段を介して自らが有する固有記憶手段との間で、そして、共通の伝送媒体と第2及

3

び第3のアドレス変換手段とを介して他のプロセッサが有する固有の記憶手段との間でアクセス動作を実行する。

【0008】

【実施例】以下添付図面を参照して本発明の好適な実施例を詳細に説明する。

【0009】図1は本発明の代表的な実施例であるマルチプロセッサシステムの構成を示すブロック図である。図1において、1は各プロセッサからアクセスされる共有メモリ、2は各プロセッサユニット（以下、PUという）と共有メモリ1及び不図示のI/Oシステム等が接続される共通バス、3a~3b等はPUである。また各PUは、CPU4、キャッシュメモリ（以下、キャッシュという）5、トランスレーションルックアサイドバッファ（以下、TLBという）6、仮想アドレスから内部メモリアドレス（以下、内部アドレスという）にアドレス変換するページマッピング7、仮想アドレスをシステム共通中間アドレスに変換するページマッピング8、システム共通中間アドレスから内部アドレスに変換するページマッピング9、PU内部からの要求により発生したメモリアクセスと、外部からの要求によつて発生したメモリアクセスを調停するアビタ10、他のPUから参照可能な固有メモリ11から構成されている。

【0010】また、キャッシュ5はキャッシュタグやコンパレータ等、キャッシュシステムを構成するのに必要なユニットを包含しているものとする。本実施例では、キャッシュ5はCPU4に外付けされる構成としているが、キャッシュ内蔵型CPUを用いることもできる。

【0011】さてCPU4から発行された仮想アドレスは、キャッシュ5、TLB6、ページマッピング7、及び、ページマッピング8に与えられる。次に、CPU4から発行された仮想アドレスは、初めにキャッシュ5にヒットするかどうかキャッシュ5によつて判別される。キャッシュ5にヒットした場合はTLB6、ページマッピング7、ページマッピング8でのアドレス変換は中止され、ヒットしたデータをCPU4に転送するとともに、ライトヒット時にはキャッシュコヒーレンスプロトコルに従った情報を共通バス2に伝達する。

【0012】これに対してキャッシュ5において、キャッシュヒットがなかった場合、さらに固有メモリ11に仮想アドレスが存在するかどうかについて、その内部アドレスを保有するTLB6で判別する。ここでTLB6に、その仮想アドレスに対応するエントリがあれば、該仮想アドレスはTLB6で内部アドレスに変換されアビタ10を経由して固有メモリ11に与えられる。

【0013】この時、同時にその旨がページマッピング7に通知され内部アドレスへのアドレス変換が禁止される。さらに、同じ通知がページマッピング8に伝達され、ページマッピング8によるアドレス変換が禁止される。

【0014】TLB6のエントリに該仮想アドレスのエ

4

ントリが存在しない場合には、ページマッピング7を使用しアドレス変換を行う。その変換は、メモリ管理ユニット（MMU）がハードウェア的に実行してもCPU4を介してソフトウェア的に実行しても良い。

【0015】図2は本実施例のアドレスマッピングの状態を示した図である。図2では仮想空間が24ビットアドレスリングアーキテクチャに基づいてマッピングされるものとしている。

【0016】図2において、左側から順にPU（3a）で実行中のプロセスの仮想空間、PU（3a）の内部空間（固有メモリ11のアドレス空間）、中間実空間、PU（3b）の内部空間（PU（3b）の固有メモリアドレス空間）、及び、共有メモリ1の実空間のアドレスマッピングを各々示している。図2によると、PU（3a）で実行中プロセスの仮想空間アドレスのいくつかの部分は、矢印群aによりPU（3a）の固有メモリ11に対応する内部空間にマッピングされていることが示されている。ここで矢印群aは、TLB6またはページマッピング7を介して仮想空間と内部空間との間でアドレス変換が行なわれていることを示す。

【0017】ページマッピング8はCPU4が現在実行しているプロセスの仮想空間をシステム全体の共通な中間実空間にマッピングする。中間実空間上には各PU内の固有メモリ、共有メモリ1、及び、不図示のI/OシステムのI/O空間がマッピングされている。図2の矢印群bに示されているように、PU（3a）で実行中のプロセスの仮想空間アドレス及びその他の空間各々は、ページマッピング8の作用で中間実空間上では連続したアドレスとしてマッピングされる。

【0018】このようにCPU4から発行された仮想アドレスが固有メモリ11に存在しないと、該仮想アドレスはページマッピング8を通して中間実空間上のアドレスに変換され、ここではじめてPU3外部の共通バス2に中間実アドレスが出力される。

【0019】さて、共通バス2に出力された中間実アドレスは、共有メモリ1もしくは他のPUによつて取り込まれる。このことを示しているのが図2の矢印群cと矢印dである。ここで矢印群cは中間実空間が各PU（ここではPU3a~3b）の固有メモリにページマッピング9の作用によりマッピングされることを示している。また矢印dは、共有メモリ1の実空間アドレスが中間実空間アドレスと同一アドレスを有するようにとられていることを示している。

【0020】まず共有メモリ1にそのアドレスに対応する部分の領域が存在する場合について述べる。

【0021】CPU4から発生された仮想アドレスは、中間実空間上の共有メモリ1がマッピングされた空間の定められた領域を示すようページマッピング8により中間実空間アドレスに変換される。中間実空間アドレスは共通バス2を経由して共有メモリ1に与えられる。

5

【0022】次に、あるPUから発行された仮想アドレスに対応する部分の領域が別のPU（ここでは、PU（3b））の固有メモリに存在する場合を考える。

【0023】PU（3b）の固有メモリはPU（3a）の固有メモリ11と同様にPU（3b）に含まれるページマツプeiによつて中間実空間上にマツピングされる。それで、PU（3a）のページマツプie8に、PU（3b）のページマツプeiによつて中間実空間上にマツピングされたアドレスを準備しておく。このような状態で、CPU4から発生された仮想アドレスは、中間実空間上のPU（3b）がマツプした空間の定められた領域を示すようPU（3a）のページマツプie8により中間実空間アドレスに変換される。中間実空間アドレスは共通バス2を経由してPU（3b）に供給される。一方、PU（3b）のページマツプeiでは、供給された中間実空間アドレスをPU（3b）の内部アドレスに変換し固有メモリに与える。このようにして、PU（3a）で発行された仮想アドレスによりPU（3a）のページマツプie8とPU（3b）のページマツプeiを経由することによつて、PU（3b）の固有メモリにアクセスできる。

【0024】以上説明したように、固有メモリ11はTLB6、ページマツプii7、及び、ページマツプei9の3つの経路でアクセスされる。しかし、TLB6とページマツプii7からのアクセスは排他的に発生するので、TLB6またはページマツプii7を通じたPU内部からのアクセスと、ページマツプei9による外部からのアクセス経路をもつことになる。

【0025】本実施例においては、PU内部からのアクセスを優先するようアービタ10を使用させ、外部アクセスが実行中であつても、そのサイクルの終了後、直ちに、内部アクセスを割り込ませて優先的に実行し、内部アクセス動作が終了後、外部アクセスを再開するように固有メモリへのアクセス優先権を制御している。

【0026】従つて本実施例に従うなら、共有メモリ1がマツプされた空間の定められた領域を示すアドレスと、PU（3b）の固有メモリ（不図示）がマツピングされた中間実空間を示すアドレスをPU（3a）のページマツプie8に準備しておくことにより、PU（3a）のCPU4で発生した仮想アドレスで共有メモリ1とPU（3b）の固有メモリにアクセスすることができる。さらに、固有メモリに対する自プロセッサからのアクセスを他プロセッサからのアクセスに優先させることによつて、自プロセッサ内での処理効率の低下を防止することができる。

【0027】

【他の実施例】前述の実施例においては、共有メモリは中間実空間と同一アドレスにマツピングし、中間実空間から各PUの内部空間へのアドレス変換には各領域のベースアドレスのみをシフトさせ各領域それ自体は連続したアドレス空間としてマツピングするものとして説明し

6

た。本実施例では共有メモリを、共有メモリと共通バスとの間に別のページマツプを置くことにより、さらに中間実空間を所定の小さな処理単位（以下、ページという）ごとに取り扱い、その単位ごとに任意の中間実空間を共有メモリの実空間や各PUの内部空間にマツピングする例について、さらにはディスク装置などの外部装置と情報交換をする例について説明する。

【0028】なお本実施例においては、共有メモリと共通バスとの間に別のページマツプを設ける以外、或は、外部装置との情報交換のために共通バスに接続する入出力プロセッサを設ける以外は前述の実施例で用いたメモリアクセス装置と同じ構成の装置を用いるので、装置参照番号は図1と同じものを使用し、前述の実施例と共通な装置各部の説明は省略する。

【0029】最初に固有のページマツプを有する共有メモリを共通バスに接続した場合について説明する。

【0030】図3は本実施例で用いる共有メモリ12の構成を示す図であり、メモリ部14と共通バス2との間にページマツプem13を設けている。このページマツプem13により、共通バス2上の中間実アドレスがメモリ部14をアクセスするためにメモリ部14の内部アドレスに変換される。

【0031】図4は本実施例におけるアドレス空間のマツピングを示した図である。図4を用いて、PU（3a）で実行中のプロセスが共有メモリ12へアクセスする場合と、PU（3b）の固有メモリへアクセスする場合について説明する。

【0032】まず、PU（3a）で実行中のプロセスの仮想空間のページは、ページマツプie8により、中間実空間アドレスC0～Cmaxの領域にアドレス変換される。次に、中間実空間アドレスは共有メモリ12内部のページマツプem13によりメモリ部14の内部アドレスに変換される。このとき、メモリ部14への内部アドレス変換はページ単位に実行されるので、ページサイズ単位に連続したアドレスがメモリ部14に存在すれば、アドレス変換は正常に実行される。従つて、たとえ共有メモリ1の一部に障害がありアクセス不能である場合（図4の共有メモリの実空間の[×××××]で示す箇所）でも、そこを使用せずとも中間実空間をマツプすることができる。

【0033】次に、PU（3b）の固有メモリへアクセスする場合について述べる。

【0034】まず、図4に示すPU（3a）で実行中のプロセスのテキストの一部のページ（SA）のアドレスは、ページマツプie8によるアドレス変換で中間実空間上の領域（SC）のアドレスに変換される。次に、PU（3b）のページマツプeiによりPU（3b）の固有メモリのある領域（SB）にマツプされる。本実施例では、PU（3a）で実行中のプロセスの一部のページ、特にプロセス実行のための共通領域を図4に示す斜線領

7

域のようにPU(3a及び3b)のそれぞれの内部空間にマッピングすることで、高速に応答可能な内部メモリを利用している。次に、外部装置との情報交換を行う場合について説明する。

【0035】コンピュータシステムでは、ディスク装置のような外部装置と入出力処理を実行して大量のデータ転送をディスクとメモリとの間で実行する場合がしばしばある。

【0036】ここで図5に示すような構成をもつI/Oプロセッササブシステム15が、図1に示すシステムと共通バス2を通して接続される場合について考える。I/Oプロセッササブシステム15(以下、I/Oプロセッサという)は、I/Oプロセッサ専用CPU16(以下、I/O CPUという)、I/Oプロセッサ専用ローカルメモリ17(以下、ローカルメモリという)、DMAC(ダイレクトメモリアクセスコントローラ)18、外部装置とシリアル通信を行う通信インタフェース19(以下、通信I/Fという)、そして、ディスク装置21との入出力処理制御を実行するディスクI/F20で構成されている。

【0037】このようなI/Oプロセッサ15を用いて、システム外部と通信I/F19及びディスクI/F20を介しての共有メモリ1及び固有メモリ11との間の大量データ転送は、I/O CPU16やDMAC18の作用によつてローカルメモリ17を介して実行される。

【0038】例えば、ディスク21から共有メモリ1に対して4ページ分の連続データを入力する場合、I/O CPU16はディスクI/F20とDMAC18の初期値をセットし、DMAC18の制御により4ページ分のデータをディスク21からローカルメモリ17に読み込む。次に、I/O CPU16で実行可能なインストラクションの1つである転送命令を連続的に実行することにより、ローカルメモリ17から共有メモリ1に4ページ分のデータを転送する。ここで、既に説明したように、共通バス2では中間実アドレスによるアクセスによつて、メモリ空間は連続した領域となつているので、ページ境界を考慮することなく、I/O CPU16は連続的に転送命令を実行できる。このことは、I/O CPU16の中間的な介在なしにDMAC15が実行しても良いことを示している。

【0039】さらに、このようなデータの転送は、I/O CPU16やDMAC18の能力によつては、ロー

8

カルメモリ14を介することなく、通信I/F19或はディスクI/F19がと共有メモリ1や固有メモリ11に対してデータ転送を実行することも可能である。

【0040】従つて本実施例に従うなら、共有メモリ1の一部に障害があり使用不能であつたとしても、ページマツプemがその障害部分を使用せず中間実空間をマツプすることができるので、プロセッサから見れば自らの仮想空間のみを意識して共有メモリ1に対するアクセスを行うことができる。また、中間実アドレスを用いることによつて、メモリ空間を連続的に取り扱うことができるので、外部装置からの大量データをDMAによりCPUの介在なしに高速で入出力することが可能となる。

【0041】

【発明の効果】以上説明したように本発明によれば、マルチプロセッサシステムにおいて、例えば、共有メモリやディスク装置などの各プロセッサユニット外部の装置との間のアクセスをシステム共通のアドレス空間を用いて実行できるので、アドレス空間管理が簡単になるという効果がある。

20 【図面の簡単な説明】

【図1】本発明の代表的な実施例であるマルチプロセッサシステムの構成を示すブロック図である。

【図2】アドレス空間のマッピングを示す図である。

【図3】他の実施例に従う共有メモリの構成を示すブロック図である。

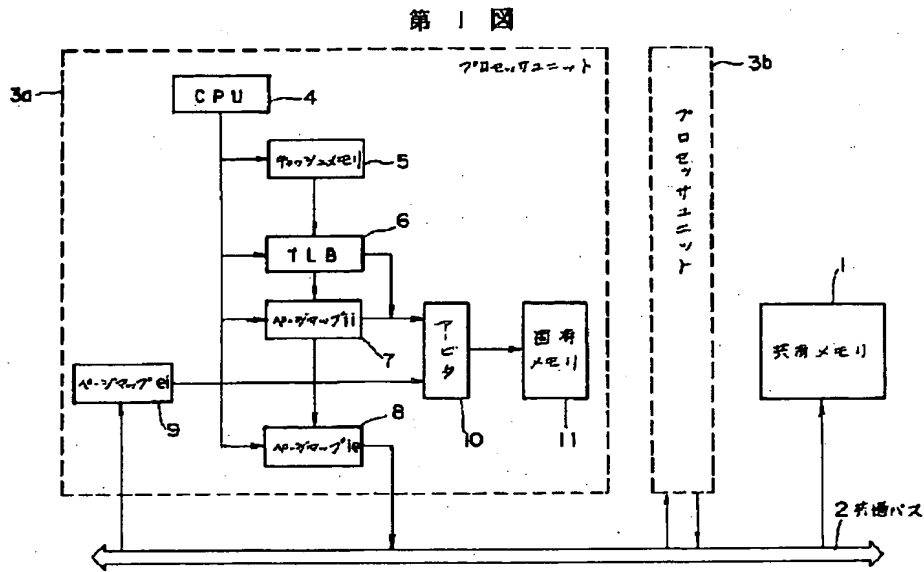
【図4】他の実施例に従うアドレス空間のマッピングを示す図である。

【図5】I/Oプロセッササブシステムの構成を示すブロック図である。

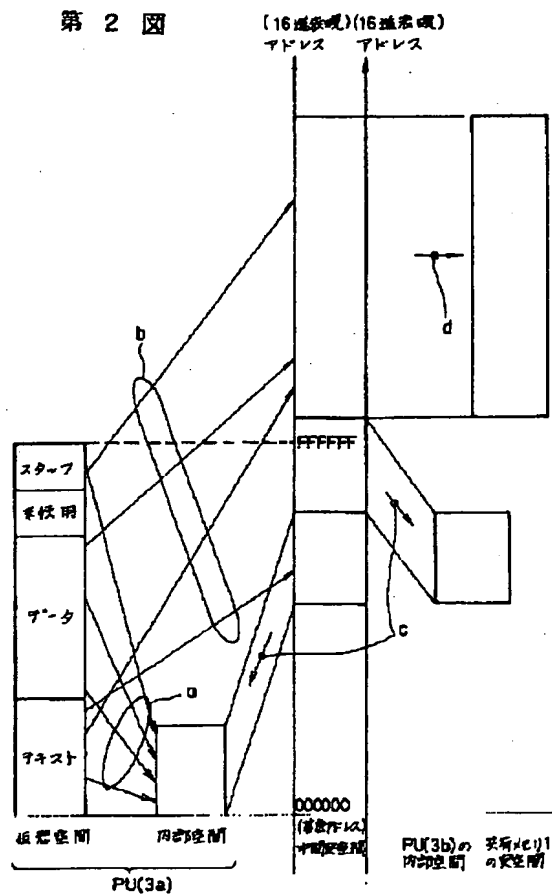
30 【符号の説明】

- 1 共有メモリ
- 2 共有バス
- 3a~3b プロセッサユニット
- 4 CPU
- 5 キャッシュメモリ
- 6 TLB
- 7 ページマツプii
- 8 ページマツプie
- 9 ページマツプei
- 10 アービタ
- 11 固有メモリ
- 13 ページマツプem

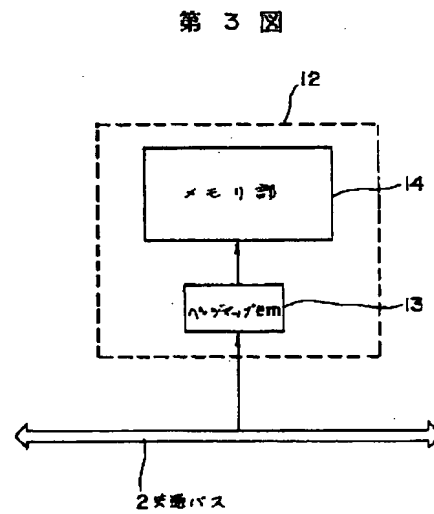
【図1】



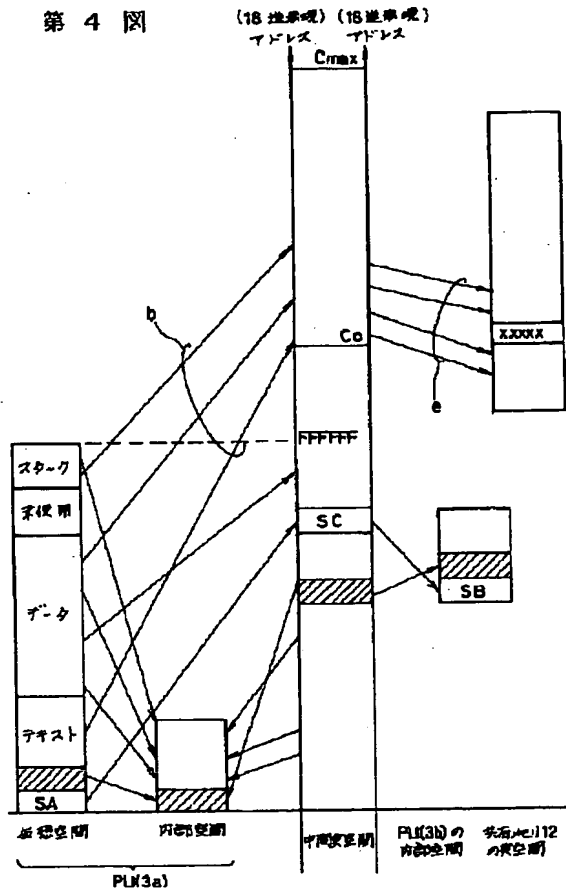
【図2】



【図3】



【図4】



【図5】

第 5 図

